نشریه علمی «نوآوری‌های فناوری اطلاعات و ارتباطات کاربردی»

سال اول، شماره ۲، زمستان ۱۳۹۸؛ ص ۵۶- ۵۱

طراحی و پیاده‌سازی سنجشگر رادار مبتنی بر رادیونرم‌افزار

منوچهر پژوهی گیساوندانی[1*]، عبداله مهدلو ترکمانی[2]، پویا سروشیان[3]

۱- کارشناسی ارشد، ۲- پژوهشگر و ۳- دانشجوی کارشناسی ارشد دانشگاه جامع امام حسین(ع)

(دریافت: ۱۳۹۹/۰۲/۱۲؛ پذیرش: ۱۳۹۹/۰۷/۰۶)

چکیده

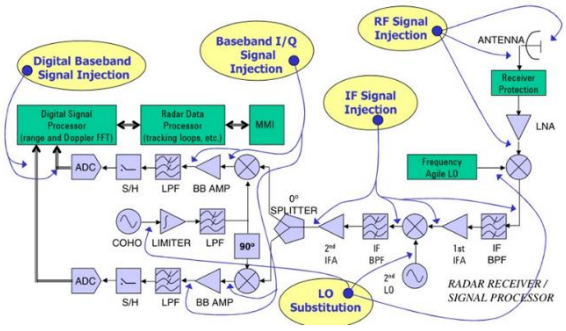
کاربرد اصلی رادارهای پالس داپلر پردازش و استخراج سرعت و فاصله هدف است، سنجشگر و شبیه‌سازهای راداری برای ارزیابی کارآیی و اطمینان از صحت عملکرد این نوع رادار و جلوگیری از افزایش هزینه‌های عملیاتی در دهه اخیر بیش از پیش مورد توجه قرار گرفته اند. عملکرد این شبیه‌سازها می‌تواند شامل شبیه‌سازی اهداف، تأثیرات اختلالات محیطی و غیره باشد. یکی از بهترین راه‌ها برای سنجش عملکرد سامانه‌های راداری تزریق سیگنال سنجش به طبقات مختلف آن است. در رادارهای پالس داپلر با تزریق سیگنال RF همدوس، از طریق آنتن می‌توان کل سامانه راداری را مورد ارزیابی قرار داد. در فناوری DRFM با دریافت سیگنال RF رادار می‌توان سیگنال همدوس دلخواه را تولید نمود. DRFM متشکل از پنج بخش اصلی، مبدل‌های پایین آورنده فرکانس، مبدل آنالوگ به دیجیتال، حافظه دیجیتال، مبدل دیجیتال به آنالوگ و مبدل‌های بالا برنده فرکانس است. حافظه دیجیتال را می‌توان با استفاده از بردهای پردازشی FPGA پیاده‌سازی کرد و در قسمت‌های آنالوگ آن برای انعطاف‌پذیری بیشتر از بستر SDR استفاده نمود. در این مقاله به پیاده‌سازی سنجشگر راداری پرداخته می‌شود، که با ترکیب تراشه‌های AD9361 و FPGA، امکان تولید اهداف با فاصله و سرعت کاذب نسبت به رادار فراهم می‌نماید. این سنجشگر دارای پهنای باند لحظه‌ای ۵۰ مگاهرتز در محدوده فرکانسی ۷۰ مگاهرتز تا ۶ گیگاهرتز و قابلیت دریافت و تولید سیگنال‌های راداری با عرض پالس ۱۰۰ نانوثانیه تا ۰/۶ میلی‌ثانیه با حداکثر توان ۱۰dBm را دارا می‌باشد.

کلید واژه‌ها:

پالس داپلر، سنجشگر راداری، رادیو نرم‌افزار، حافظه فرکانس رادیویی دیجیتال

۱- مقدمه

یکی از بهترین راه‌ها برای سنجش عملکرد سامانه‌های راداری، تزریق سیگنال سنجش به طبقات مختلف آن‌ها است. تزریق سیگنال سنجش فرکانس رادیویی[1]، فرکانس میانی[2]، نوسان‌ساز محلی، باند پایه[3]، یا به صورت دیجیتالی در باند پایه، برای سنجش طبقات مختلف رادار استفاده می‌شود. مطابق شکل (۱) سیگنال دیجیتالی باند پایه پس از مبدل‌های آنالوگ به دیجیتال به برد پردازنده تزریق شده و صحت عملکرد بخش پردازش دیجیتال رادار انجام می‌گردد. تزریق سیگنال‌های I و Q بعد از میکسر و یا سیگنال IF یا RF برای سنجش عملکرد قسمت آنالوگ استفاده می‌شود [۱].



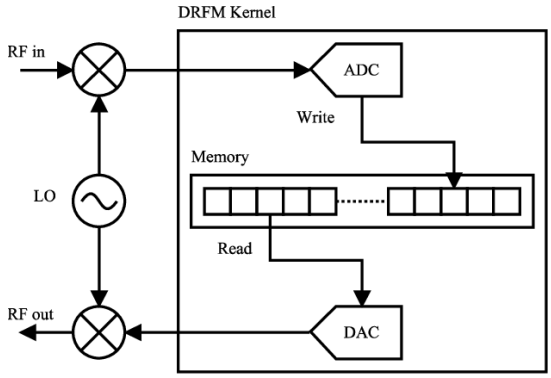
شکل (۱): تزریق سیگنال سنجش به طبقات گیرنده رادار [۱].

با تزریق سیگنال RF همدوس[4]، از طریق آنتن می‌توان کل سامانه رادارهای پالس داپلر را مورد ارزیابی قرارداد. این نوع رادارها برای تشخیص اهداف متحرک نیازمند حفظ فاز پالس‌های متوالی در فرستنده و گیرنده است. یکی از روش‌های تولید سیگنال همدوس، استفاده از فناوری حافظه رادیویی دیجیتال[5] است. یک DRFM متشکل از پنج بخش اصلی است:

رایانامه نویسنده پاسخگو: MPazhohi@ihu.ac.ir.com

[1] Radio Frequency(RF)
[2] Intermediate Frequency(IF)
[3] Base band
[4] Coherent
[5] Digital Radio Frequency Memory (DRFM)

مبدل‌های پایین آورنده[1]، مبدل آنالوگ به دیجیتال، حافظه دیجیتال، مبدل دیجیتال به آنالوگ[2] و مبدل‌های بالارونده [3] [۲]. در یک حافظه رادیویی دیجیتال، ابتدا سیگنال رادیویی با استفاده از یک نوسان‌ساز محلی پایدار (LO[4]) به سیگنال فرکانس پایین تبدیل شده؛ سپس با مبدل آنالوگ به دیجیتال با سرعت بالا از سیگنال نمونه‌برداری می‌شود. در این مرحله نمونه‌ها در حافظه دیجیتال برای اعمال تغییرات در دامنه و فرکانس سیگنالِ راداری ذخیره می‌شوند. سپس نمونه‌های ذخیره‌شده از حافظه فراخوانی شده و توسط واحد دیجیتال به آنالوگ، سیگنال اختلال با تأخیر به رادار برگشت داده می‌شود. شکل (۲) نشان‌دهنده بلوک دیاگرام سنجشگر راداری مبتنی بر DRFM می‌باشد. رادیو نرم‌افزارها[5] مجموعه‌ای از فناوری‌های سخت‌افزاری و نرم‌افزاری هستند که در آن عملکردهای رادیویی را می‌توان توسط بخش نرم‌افزاری کنترل کرد. برخلاف سامانه‌های رادیویی قدیمی که فقط مبتنی بر سخت‌افزار بوده و دارای هزینه بالا و انعطاف‌پذیری کمی هستند، رادیو نرم‌افزار یک راه‌حل کارآمد و نسبتاً ارزان برای عملکرد چندمنظوره و چند باندی را فراهم می‌کند. استفاده از این فناوری اجازه می‌دهد تا مشخصه‌ها و قابلیت‌های جدید بدون نیاز به تغییر سخت‌افزار، به سامانه‌های رادیویی موجود افزوده شوند. با ایجاد ارتباط بین FPGA[6] و رادیو نرم‌افزارهای تعریف‌شده و کنترل آن، می‌توان از خاصیت هر دو برای پیاده‌سازی حافظه رادیویی دیجیتال، به منظور ساخت یک سنجشگر راداری استفاده کرد و از مزیت‌های هر دو دستگاه به‌طور هم‌راستا و هم‌سو بهره برد [۳].



شکل (۲): بلوک دیاگرام سنجشگر راداری مبتنی بر DRFM.

در این مقاله ابتدا طراحی DRFM برای تولید اهداف مجازی با فاصله و سرعت دلخواه و سپس نحوه استفاده از بستر رادیونرم‌افزار بررسی می‌گردد. در بخش بعدی پیاده‌سازی سنجشگر راداری با استفاده از رادیونرم‌افزار تشریح می‌گردد و در بخش پایانی جمع‌بندی نتایج و نتیجه‌گیری ارائه می‌شود.

۲- طراحی DRFM

در طراحی DRFM سه رویکرد عمده برای پردازش سیگنال دیجیتال وجود دارد که عبارت‌اند از پردازش مبتنی بر DSP، پردازش مبتنی برFPGA و پردازش مبتنی بر DSP + FPGA [۴].

می‌توان از DRFM در شبیه‌سازی سیگنال بازگشتی اهداف برای رادارهای فعال، به دلیل حفظ همدوسی فاز با رادار فرستنده، استفاده کرد. در اینصورت می توان روش‌های اخلال RGPO/RGPI[7] و VGPO/VGPI[8] را پیاده سازی نمود.

در روش RGPO شکل (۳) پالس برگشتی با تأخیر نسبت به پالس بازتابی رادار، منتشر می‌کند چون رادار فاصله تا هدف را از زمان رسیدن پالس بازتابی تعیین می‌کند، این روش باعث می‌شود که رادار تصور کند هدف دورتر از مقدار واقعی است. در روش RGPI سیگنال بازگشتی به رادار نسبت به پالس بعدی زودتر از موعد طبیعی پالس به سمت رادار ارسال می گردد. در واقع در این روش شرط تکرارپذیر بودن سیگنال رادار نیاز است تا بتوان آن را پیاده‌سازی کرد. با فرض اینکه سیگنال دریافتی از رادار به شکل معادله (۱) باشد، در این صورت سیگنال ارسالی در روش RGPO به صورت معادله (۲) و سیگنال ارسالی در روش RGPI به شکل معادله (۳) خواهد بود.

$$Asin(2\pi f_o t) \quad (۱)$$

$$Asin\big(2\pi f_o (t - t_o)\big) \quad (۲)$$

$$Asin\big(2\pi f_o (t + t_o)\big) \quad (۳)$$

انتظار می‌رود که رادار در این دو معادله به اندازه زمان t_0 و فاصله معادله (۴)، هدف را دورتر (RGPO) و یا نزدیک‌تر (RGPI) محسوب کند.

$$R = \frac{C \times T_{return}}{2} \quad (۴)$$

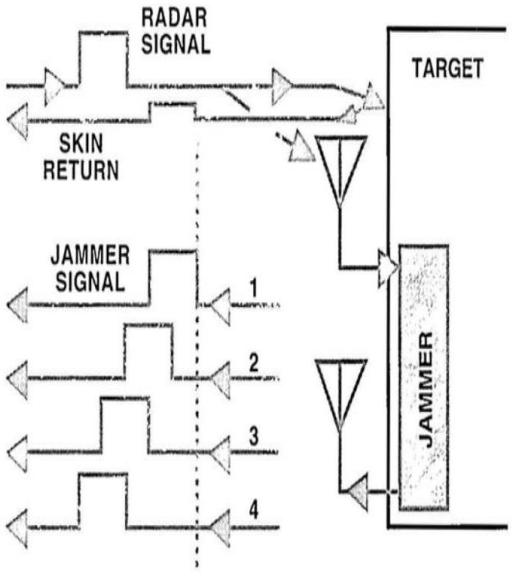
به‌صورت ایده‌آل اگر یک موج سینوسی با فرکانس اولیه و دامنه ثابت موجود باشد شکل سیگنال به‌صورت معادله (۲-۱) است. با پیاده‌سازی روش VGPO سیگنال تولید شده

[1] Down converter
[2] Digital-to-Analog converter
[3] Up converter
[4] Local Oscillator
[5] Software defined radio(SDR)
[6] Field Programmable Gate Array(FPGA)
[7] Range gate pull-Off/In
[8] Velocity gate pull Off/In

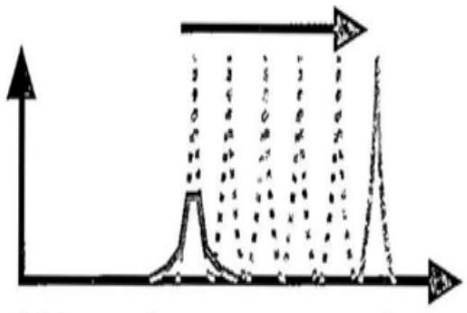
بازگشتی به‌صورت معادله (۵) با پیاده‌سازی روش VGPI سیگنال بازگشتی به شکل معادله (۶)خواهد بود.

$$Asin(2\pi(f_o + f_{id})t) \quad (۵)$$

$$Asin(2\pi(f_o - f_{id})t) \quad (۶)$$



شکل (۳): تغییر رنج سیگنال توسط روشRGPO



شکل (۴): تغییر داپلر سیگنال توسط روش VGPO/VGPI

۳- رادیو نرم‌افزار

رادیو وسیله‌ای است که برای انتقال اطلاعات در باند RF، سیگنال را به‌صورت بیسیم ارسال و دریافت می‌کند. با این تعریف انواع فرستنده‌ها و گیرنده‌های مخابراتی به‌نوعی یک رادیو هستند. تمام دستگاه‌های رادیویی از بخش‌های نسبتاً ثابتی تشکیل‌شده‌اند که بسته به نوع و کاربرد، با تفاوت‌هایی در ساختارها ظاهر می‌شوند. به‌طورکلی رادیوها از اجزاء مشابه شامل آنتن، تقویت‌کننده، میکسر و مدولاتور تشکیل‌شده‌اند. رادیوهای قدیمی ازنظر کاربرد چندگانه محدودیت دارند. دلیل عمده آن است که در این سامانه‌ها تغییر عملکرد تنها با تغییر سخت‌افزار ممکن است که درنتیجه هزینه‌ی زیادی به سازنده تحمیل‌شده و انعطاف‌پذیری کاهش می‌یابد. فناوری رادیو نرم‌افزاری این امکان را فراهم می‌آورد که سامانه‌های مخابراتی چند باندِ، چندحالته و چند منظوره قابل بهبود با ارتقای نرم‌افزاری وجود داشته باشد؛ به این صورت که انجام کلیه عملیات مخابراتی مانند مدولاسیون، دمدولاسیون و غیره توسط نرم‌افزار انجام می‌گیرد. مزیت عمده این روش این است که به‌جای استفاده از مدارات اضافی برای دسترسی به انواع سیگنال‌های رادیویی، کافی است از یک برنامه مناسب استفاده شود. درواقع رادیو نرم‌افزاری، نوعی فناوری است که می‌کوشد سهم نرم‌افزار را در پیاده‌سازی سامانه‌های مخابراتی افزایش دهد. در حالت ایده آل این سهم می‌تواند تا پایین‌ترین لایه‌های فیزیکی و نزدیک‌ترین موقعیت به آنتن افزایش یابد به این صورت که در مسیر گیرنده پس از دریافت سیگنال از آنتن و تقویت آن بلافاصله سیگنال آنالوگ به دیجیتال تبدیل می‌شود و بقیه عملیات توسط نرم‌افزار انجام می‌گیرد.

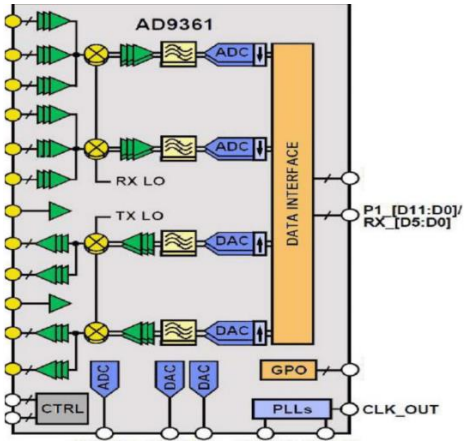
چیپ AD9361 نمونه‌ای از چیپ‌های موسوم به RFIC یا RFSoC بوده که مطابق شکل (۵) با تجمیع بخش‌های مختلف فرستنده-گیرنده رادیویی همچون بخش‌های RF و باند پایه آنالوگ و دیجیتال توانایی کار در طیف گسترده‌ای را در اختیار طراحان و سازندگان سامانه‌های رادیویی قرار داده است. برنامه‌پذیر بودن آن قابلیت کار با استانداردهای ارتباطی چندگانه ازجمله سامانه تقسیم‌کننده فرکانس (FDD[1]) و تقسیم‌کننده زمان (TDD[2]) برای طراحان فراهم می‌کند. این تراشه دارای محدوده فرکانسی ۷۰MHz تا ۶ GHz با پهنای باند لحظه ای 56MHz و SFDR برابر ۵۰ dB می‌باشد.

۳-۱- راه‌اندازی رادیونرم‌افزار

راه‌اندازی رادیونرم‌افزار نیازمند یک پردازنده جانبی است. بنابراین برای بهره‌برداری از ویژگی و استفاده آن به عنوان بخش آنالوگی سنجشگر رادار باید بر روی FPGA یک میکروکنترلر پیاده‌سازی شود. برای این کار از هسته سخت‌افزاری شرکت Xilinx بنام میکروبلیز[3] استفاده می‌شود. میکروبلیز از طریق پورت سریال دستورات را دریافت کرده و آن‌ها را تفسیر می‌نماید؛ سپس از طریق پورت SPI محتویات رجیسترهای مرتبط در داخل چیپ AD9361 را تغییر می‌دهد و یا اینکه محتویات فعلی رجیسترها را فراخوانی کرده و با تفسیر آن‌ها

[1] Frequency division duplex
[2] Time division duplex
[3] Microblaz

شرایط فعلی حاکم بر AD9361 را گزارش می‌دهد. همچنین میکروبلیز (هسته میکروکنترلر داخل FPGA) نمونه‌های دیجیتال سیگنال ارسالی و یا دریافتی را از طریق دو باس دیفرانسیلی مجزا و با فرمت DDR با چیپ AD9361 تبادل می‌کند.



شکل (۵): بلوک دیاگرام اجزاء داخلی تراشه AD9361 [۶].

۴-پیاده‌سازی طرح

این سامانه به‌گونه‌ای پیاده‌سازی می‌شود که سیگنال راداری، رادارهای پالسی وارد این سامانه شده و با استفاده از آن سیگنال دریافت‌شده، ایجاد اهداف با مکان و سرعت‌های کاذب متفاوت می‌کند. عملکرد این سامانه به‌گونه‌ای است که یک سیگنال راداری به عنوان ورودی به تراشه SDR داده می‌شود و در آن‌جا با فرکانس مرکزی مناسب به باند پایه منتقل می‌شود؛ سپس در مبدل آنالوگ به دیجیتال تراشه SDR به I و Q تبدیل‌شده و وارد تراشه FPGA می‌گردد. پس از گذراندن مراحل پردازشیِ DRFM، دوباره به تراشه SDR تحویل داده می‌شود و پس از تبدیل دیجیتال به آنالوگ در فرکانس موردنظر مدوله شده و خروجی به‌صورت یک سیگنال ظاهر می‌گردد. بدین‌صورت بدون وجود هدف واقعی، می‌توان در رادار ایجاد اهدافی با فاصله و سرعت کاذب نمود. برای پیاده‌سازی سنجشگری راداری مبنی بر SDR ۳ مرحله در نظر گرفته شده است که همه این مراحل توسط زبان توصیف سخت‌افزار VHDL درون FPGA شرکت Xilinx پیاده‌سازی می‌گردد.

۴-۱- پیاده‌سازی سنجشگر راداری

در سامانه‌های مبتنی به حافظه دیجیتال یکی از مهم‌ترین پارامترها مقدار حافظه مورداستفاده در الگوریتم این کار است. در مدل مرسوم کل سیگنال دریافت‌شده توسط گیرنده را در حافظه ذخیره می‌کنند؛ این روش در حالتی که پالس دارای دوره تناوب تکرار بالا باشد، مقدار حافظه اشغال‌شده بسیار بالا می‌رود. با توجه به محدودیت تعداد حافظه‌های بلوکی در FPGA ها برای ذخیره‌سازی سیگنال‌های راداری با دوره تناوب بالا، نیاز به افزودن یک حافظه جانبی است که با توجه به کند بودن خواندن و نوشتن در این‌گونه حافظه فاصله بین سیگنال دریافت و بازسازی‌شده در DRFM زیاد گردیده و از کارایی آن کاسته می‌شود. با توجه به این‌که برای بازسازی یک پالس راداری فقط به اطلاعات درون پالس نیاز است و نیازی به اطلاعات بین دو پالس به‌جز زمان بین آن‌ها نیست، در این طرح فقط به ذخیره‌سازی اطلاعات درون پالس پرداخته شده است. لازمه آن آشکارسازی حضور پالس در مرحله اول است. برای این عمل لازم است با استفاده از ساختار آشکار ساز با نرخ هشدار کاذب ثابت (CFAR) میزان سطح نویز حرارتی تخمین زده شود. حداقل حساسیت گیرنده با در نظر گرفتن پهنای باند ۵۰ MHz و عدد نویز ۵ dB برابر با مقدار محاسبه شده در معادله زیر می‌شود:

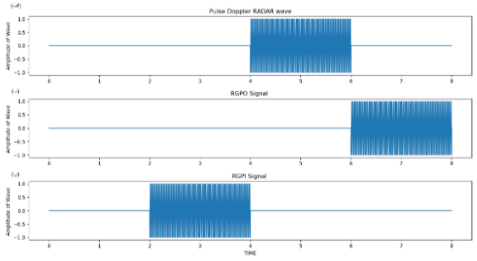
$$-174 + 10 * \log(BW) + NF = -92dbm \quad (۷)$$

که باید برای آشکارسازی سیگنال برای ذخیره کردن شروع هر پالس در ابتدای حافظه دیجیتال ابتدا باید شروع پالس را پیدا کرد. برای این کار کافی است لبه بالارونده پالس آشکار شود؛ که بعد از آن ذخیره‌سازی اطلاعات پالس درون حافظه دیجیتال شروع می‌شود و در لبه پایین‌رونده پالس، آدرس خانه حافظه را صفر کرده و در لبه بالارونده پالس بعدی شروع به ذخیره‌سازی دوباره پالس از ابتدا حافظه دیجیتال می‌کند.

۴-۲- روش RGPI/RGPO

با مشخص شدن ابتدا و انتهای سیگنال، روش به این‌گونه است که ابتدای سیگنال در ابتدای RAM قرار داده می‌شود و آدرس انتهای سیگنال به‌عنوان انتهای RAM (End_Adress) ذخیره می‌گردد. حال می‌توان این‌گونه تصوّر کرد که RAM به‌اندازه آدرس صفر تا End_Adress کوچک‌شده و می‌توان روش RGPO با ایجاد تأخیر را روی آن پیاده‌سازی کرد. این روش به این‌گونه است که سیگنال write از صفر تا End_Adress شمارش می‌کند؛ سپس آدرس حافظه صفر می‌شود. و سیگنال read به‌عنوان تابعی از سیگنال write دارای یک تأخیر عددی دلخواه می‌شود و درنتیجه خروجی به‌صورت تأخیری از سیگنال خودش را نشان می‌دهد این عملیات برای پالس های متوالی به‌صورت مشابه تکرار می‌گردد (شکل ب-۶). در روش RGPI شکل ذخیره‌سازیِ یک دوره زمانیِ سیگنال رادار، همانند روش RGPO می‌باشد. یعنی ابتدای سیگنال بر ابتدای RAM (آدرس صفر) قرار می‌گیرد و انتهای RAM بر آدرسی بالاتر (RAM_End) قرار می‌گیرد. شمارنده‌ای به اندازه RAM_End ایجاد می‌گردد و مقدار سیگنال write را می‌شمارد و پس از

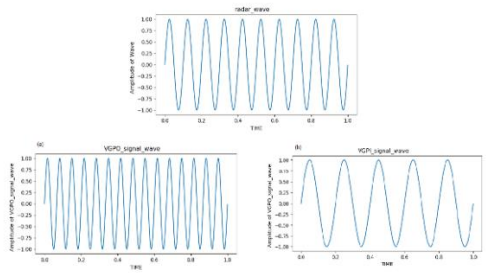
رسیدن به RAM_End سرریز می‌گردد. فرض بر این است که سیگنال رادار ورودی، تکرارشونده است؛ با این فرض سیگنالی که ذخیره می‌شود همانند سیگنالی است که هنوز به ساختار گیرنده نرسیده (سیگنال نرسیده قابل پیش‌بینی است). پس می‌توان سیگنال read را به عنوان تابعی از سیگنال write در نظر گرفت. ولی تفاوتی که در اینجا با روش RGPO دارد این است که سیگنال read باید نسبت به سیگنال write دارای تقدّم عددی باشد (شکل پ-۶).



شکل(۶): شبیه‌سازی سیگنال دربافتی از ر رادار(الف)، سیگنال خروجی RGPO (ب) سیگنال خروجی RGPI (پ)

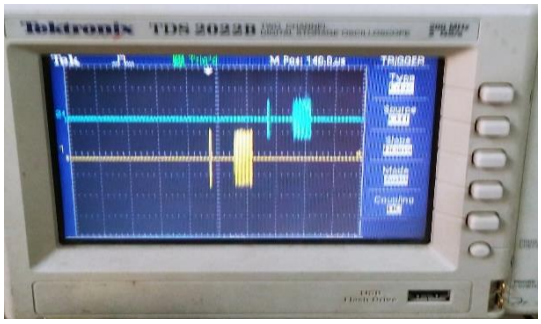
۴-۳- روش VGPI/VGPO

برای جابجایی دروازه‌ی سرعت رادار یا به بیانی دیگر، ایجاد تغییر در سرعت قابل قبول توسط رادار، از روش‌های VGPO و VGPI استفاده می‌شود. در روش VGPO، دروازه‌ی سرعت رادار در محور فرکانس به جلو کشیده می‌شود (افزایش فرکانس)؛ ولی در روش VGPI دروازه سرعت رادار در محور فرکانس به عقب کشیده می‌شود (کاهش فرکانس). این تغییر دروازه‌ی سرعت رادار، به‌صورت اثر داپلر و در نتیجه تغییر سرعت هدف در رادار تلقّی می‌شود. فرکانس داپلر با سرعت شعاعی هدف نسبت مستقیم دارد؛ به‌طوری که با افزایش فرکانس موج بازگشتی، سرعت شعاعی محاسبه شده در رادار متناسب با فرکانس داپلر تزریق شده، افزایش می‌یابد و از دید رادار، هدف متحرک نزدیک‌شونده است؛ فرایند مذکور VGPO نامیده می‌شود (شکل ۷- الف)، و با کاهش فرکانس موج بازگشتی، سرعت شعاعی محاسبه شده در رادار متناسب با فرکانس داپلر تزریق شده، کاهش می‌یابد و از نظر رادار، هدف متحرک دورشونده است؛ این فرایند، VGPI نام دارد (شکل ۷- ب). سیگنال فرکانس داپلر توسط هسته DDS تولید شده و با استفاده از هسته ضرب‌کننده مختلط، در سیگنال ضرب می‌گردد. به‌دلیل این‌که فرکانس پالس ساعت DDS، ۵۰ مگاهرتز است قابلیت ایجاد اهدافی با فرکانس داپلر ۲۵± مگاهرتز را دارد.

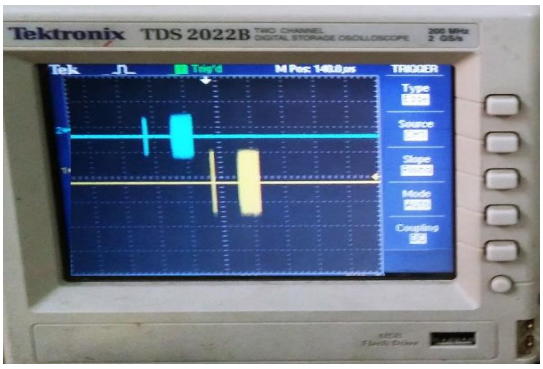


شکل (۷): شبیه‌سازی سیگنال خروجی (الف) VGPO و (ب) VGPI

الگوریتم‌های پیاده‌سازی شده فوق بر روی رادارهای چند پالسه نیز امکان استفاده رادار و بر روی یک رادار دو پالسه مورد آزمایش و صحت‌سنجی قرار گرفت؛ که نتایج عملی آن با استفاده از اسیلوسکوپ در شکل‌های (۸ و ۹) نشان داده شده است.



شکل (۸): سیگنال‌های ورودی و خروجی روشRGPO



شکل (۹): سیگنال‌های ورودی و خروجی روش RGPI

ویژگی‌های سنجشگر راداری پیاده‌سازی شده عبارتند از:

- ✓ سنجشگر راداری مبتنی‌بر SDR با توانایی ایجاد چندین هدف
- ✓ محدوده فرکانس کاری بین ۷۰ مگاهرتز تا ۶ گیگاهرتز مطابق پارامترهای AD9361
- ✓ دارای پهنای باند لحظه ای ۵۰ مگاهرتز
- ✓ تفکیک‌پذیری زمانی ۲۰ نانوثانیه و مکانی ۳ متر

- ✓ قابلیت ایجاد اهدافی تاخیر به میزان دلخواه (تا حداکثر زمان PRI)
- ✓ قابلیت ایجاد اهدافی با فرکانس داپلر حداکثر ۲۵± مگاهرتز با تفکیک‌پذیری فرکانسی ۰/۰۱ هرتز
- ✓ صرفه‌جویی در منابع حافظه با استفاده از روش تشخیص وجود پالس
- ✓ ذخیره‌سازی پالس با حداکثر زمان ۶۵۰ میکرو ثانیه
- ✓ حداکثر توان ارسالی برابر 10dBm

۵- نتیجه‌گیری

هدف این مقاله پیاده‌سازی سنجشگر راداری مبتنی بر SDR است. در این مقاله برای سنجش فاصله از روش RGPI/O و برای سنجش سرعت از روش VGPI/O استفاده شده است، که برای داشتن یک سامانه یکپارچه، روش فاصله (RGPI/O) با روش سرعت (VGPI/O)، سری شده و به انتخاب کاربر، تغییرات فاصله‌ای و سرعتی به هدف مجازی صورت می‌گیرد، این سامانه بدین گونه است که ابتدا سیگنال راداری توسط تراشه AD9361 دریافت شده و به وسیله مبدل آنالوگ به دیجیتال آن به سیگنال‌های باند پایه I و Q تبدیل می‌گردد. این سیگنال باند پایه در تراشه FPGA مورد پردازش قرار می گیرد. سپس با استفاده از پوش سیگنال وجود پالس شناسایی شده و اطلاعات درون پالس در حافظه ذخیره می‌گردد، در نتیجه آن نیازی به ذخیره کل PRI نیست که این نوآوری موجب صرفه‌جویی در حافظه شده است. پس از آن با استفاده از روش‌های توضیح داده شده سیگنال هدف مجازی برای سنجش رادار ایجاد و با استفاده از مبدل دیجیتال به آنالوگ و بالارونده فرکانس، سیگنال آنالوگ متناظر آن تولید می شود.

۶- مراجع

[1] Agilent Technologies, "Radar Datasheet, Techniques for Radar and EW Signal Simulation for Receiver Performance Analysis, " 2004. www. Agilent.com

[2] A. M. Wyglinski, R. Getz, T. Collins, and D. Pu, "Software-defined radio for engineers," Artech House, 2018.

[3] Z. Wang, M. Gao, Y. Li, H. Jiang, and S. Ying, "The hardware platform design for DRFM system," 9th International Conference on Signal Processing, 2008.

[4] Z. Huo, Q.-y. Xie, J. Guo, and J.-t. Diao, "Design and implementation of radar digital signal processor based on FPGA," Modern Electronics Technique, no. 1, p. 3, 2012.

[5] F. Neri, "Introduction to electronic defense systems," Sci. Tech. Publishing, 2006.

[6] Analog Devices,"AD9361",www.analog.com, 2018.

Journal of "Innovations of Applied Information and Communication Technologies"

Vol. 1, No. 2, 2019 (Serial No. 2)

Design and Implementation of Radar Tester Using SDR

M. Pazhouhi Gisavandani*, A. Mahdloo Torkamani, P. Sorooshian

Imam Hossein Comprehensive University

Abstract

The main application of pulse Doppler radars is to process and calculate target speed and distance.in recent decade's Radar testers and simulators have been applied to evaluate the efficiency and reliability of this type of radar and to reduce operating costs. The performance of these emulators can include the effects of environmental disturbances, target Properties, and etc. The best way to test the performance of radar systems is to inject signals into different parts of radar.The radar system can be evaluated completely by injecting a coherent RF signal from the antenna. The best way to generate a coherent signal is to use digital radio frequency memory (DRFM) technology. A DRFM consists of five primary section: down converter, analog-to-digital converter (ADC), memory, digital-to-analog converter (DAC), and up converter. Digital memory can be implemented by using the digital equipment and in the others analog parts, for more flexibility SDR (radio-defined software) can be used. At the beginning of this paper, Hardware configuration of the AD9361 (SDR) on the FPGA will be done. Then by using a DRFM feature, a tester will be designed that can test the radar by creation of virtual targets with virtual distance (RGPO/RGPI) and virtual speed (VGPO/VGPI) relative to the radar. This DRFM has 50MHz instantaneous bandwidth and 70 MHz up to 6 GHz working frequency and can detect pulses with 100ns to 0.6ms width and maximum output power 10 dbm finally, by implementing these methods on FPGA, the desired tester structure is obtained.

Keywords: DRFM, SDR, RADAR Tester

Corresponding author E-mail: MPazhohi@ihu.ac.ir.com